

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Teruo KATOH et al.

Serial No. 10/670,516

Filed September 26, 2003

PHASE-LOCKED LOOP CIRCUIT

:

:

: **Attn: APPLICATION BRANCH**

: Attorney Docket No. 2003-1378A

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 282962/2002, filed September 27, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Teruo KATOH et al.

By

Nils E. Pedersen
Registration No. 33,145
Attorney for Applicants

NEP/krq
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
December 29, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2002年 9月27日

出 願 番 号
Application Number:

特願2002-282962

[ST.10/C]:

[JP2002-282962]

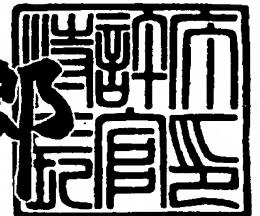
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3006954

【書類名】 特許願
 【整理番号】 KA003868
 【提出日】 平成14年 9月27日
 【あて先】 特許庁長官 太田 信一郎 殿
 【国際特許分類】 H03L 7/093
 H04L 7/033
 H04N 5/06

【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
 社内

【氏名】 加藤 輝男

【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
 社内

【氏名】 秋山 隆明

【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社

【代理人】
 【識別番号】 100086807
 【弁理士】
 【氏名又は名称】 柿本 恭成

【手数料の表示】
 【予納台帳番号】 007412
 【納付金額】 21,000円

【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フェーズロックループ回路

【特許請求の範囲】

【請求項 1】 基準信号と参照信号の位相を比較し、その位相差に応じた信号を出力する位相比較器と、

前記位相比較器の出力信号を平滑化するループフィルタと、

前記ループフィルタの出力信号に応じた周波数で発振する制御発振器と、

前記位相比較器の出力側から前記制御発振器の入力側までの間の経路上に設けられ、前記経路上の信号のうちの所定の位相差の範囲内においてその経路上の信号のレベルを所定の範囲に制限して利得を大きく設定するリミッタと、

所定の分周比 N （但し、 N ；正の整数）で前記制御発振器の出力信号を分周して前記参照信号を生成し、前記位相比較器にフィードバック入力する分周器と、

前記基準信号及び前記参照信号に基づき、又は前記位相比較器の出力信号に基づき、位相ロックの外れを検出してロック外れ検出信号を出力するロック外れ検出回路と、

前記ロック外れ検出信号に基づき、前記ループフィルタの出力信号を遮断して所定の信号を前記制御発振器に入力するスイッチ手段と、

を備えたことを特徴とするフェーズロックループ回路。

【請求項 2】 基準信号と参照信号の位相を比較し、その位相差に応じた信号を出力する位相比較器と、

動作開始時に入力される前記基準信号に応答して引き込み開始信号を生成する引き込み開始信号生成回路と、

前記位相比較器の出力信号を平滑化するループフィルタと、

前記ループフィルタの出力信号に応じた周波数で発振する制御発振器と、

前記引き込み開始信号が入力されると、前記基準信号との位相差が最小となる前記参照信号を生成して前記位相比較器にフィードバック入力し、その後、前記制御発振器の出力信号が入力されると、その制御発振器の出力信号を所定の分周比 N （但し、 N ；正の整数）で分周して前記参照信号を生成し、前記位相比較器にフィードバック入力する分周器と、

前記基準信号及び前記参照信号に基づき、又は前記位相比較器の出力信号に基づき、位相ロックの外れを検出してロック外れ検出信号を出力するロック外れ検出回路と、

前記ロック外れ検出信号に基づき、前記ループフィルタの出力信号を遮断して所定の信号を前記制御発振器に入力するスイッチ手段と、

を備えたことを特徴とするフェーズロックループ回路。

【請求項 3】 基準信号と参照信号の位相を比較し、その位相差に応じた信号を出力する位相比較器と、

動作開始時に入力される前記基準信号に応答して引き込み開始信号を生成する引き込み開始信号生成回路と、

前記位相比較器の出力信号を平滑化するループフィルタと、

前記ループフィルタの出力信号に応じた周波数で発振する制御発振器と、

前記位相比較器の出力側から前記制御発振器の入力側までの間の経路上に設けられ、前記経路上の信号のうちの所定の位相差の範囲内においてその経路上の信号のレベルを所定の範囲に制限して利得を大きく設定するリミッタと、

前記引き込み開始信号が入力されると、前記基準信号との位相差が最小となる前記参照信号を生成して前記位相比較器にフィードバック入力し、その後、前記制御発振器の出力信号が入力されると、その制御発振器の出力信号を所定の分周比 N （但し、 N ；正の整数）で分周して前記参照信号を生成し、前記位相比較器にフィードバック入力する分周器と、

前記基準信号及び前記参照信号に基づき、又は前記位相比較器の出力信号に基づき、位相ロックの外れを検出してロック外れ検出信号を出力するロック外れ検出回路と、

前記ロック外れ検出信号に基づき、前記ループフィルタの出力信号を遮断して所定の信号を前記制御発振器に入力するスイッチ手段と、

を備えたことを特徴とするフェーズロックループ回路。

【請求項 4】 前記制御発振器は、電圧制御発振器又は電流制御発振器で構成したことを特徴とする請求項 1～3 のいずれか 1 項に記載のフェーズロックループ回路。

【請求項 5】 前記分周器は、前記引き込み開始信号が入力されるとプリセットされるプリセット付き分周器で構成したことを特徴とする請求項 2 又は 3 記載のフェーズロックループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、周波数通倍回路（即ち、周波数シンセサイザ）等を使用され、入力信号に位相同期した信号を発生するフェーズロックループ（Phase-Locked Loop、以下「PLL」という。）回路、特に、その位相ロックの引き込み回路の改良に関するものである。

【0002】

【従来の技術】

従来、PLL回路に関する技術としては、例えば、次のような特許文献 1、非特許文献 1 等に記載されるものがあった。

【0003】

【特許文献 1】

特開平 9 - 1 5 3 7 9 7 号公報（図 1、図 4）

【非特許文献 1】

HOWARD M.BERLIN 著、宮田慶一・禰節史共訳「PLL の設計と実用回路」発行所シースタ、平 4 年 4 月 1 日、P.1-3、P.19-31、P.49-50、P.59-70、P.91

【0004】

従来、周波数通倍に用いられる PLL 回路は、例えば、前記特許文献 1 の図 4 に記載されているように、周波数 f_i の基準信号と周波数 f_r の参照信号の位相を比較してその位相差 $\Delta \phi$ ($= f_i - f_r$) に比例した平均出力電圧（即ち、直流（DC）出力電圧であって誤差電圧ともいわれる。）を発生する位相比較器と、前記位相比較器の出力電圧を平滑化する低域通過フィルタ（以下「LPF」という。）からなるループフィルタと、前記ループフィルタの出力電圧に応じた周波数 f_0 で発振する電圧制御発振器（以下「VCO」という。）と、前記 VCO

の出力信号を所定の分周比 N （但し、 N ；正の整数）で分周して前記参照信号を生成し、前記位相比較器にフィードバック（帰還）入力する分周器とから、構成されている。

【0005】

この種のPLL回路では、VCOの発振周波数 f_0 が、分周器で分周されて周波数 f_r の参照信号となる。周波数 f_r の参照信号は、位相比較器にフィードバックされ、この位相比較器によって基準信号の周波数 f_i と比較され、誤差電圧が出力される。誤差電圧は、周波数差（ $f_i - f_r$ ）と、基準信号及び参照信号の位相差 $\Delta\phi$ とに比例した平均直流電圧であり、この誤差電圧がループフィルタによって高周波雑音の影響が除去され、VCOへ戻される。これにより、周波数差（ $f_i - f_r$ ）が少なくなる方向へVCOの周波数 f_0 が変化し、ループがキャプチャレンジ（capture range）状態に入る。

【0006】

参照信号の周波数 f_r が基準信号の周波数 f_i と一致して周波数差（ $f_i - f_r$ ）が零になるまで、上記の処理が続けられ、それが一致したとき、ループが同期（即ち、フェーズロック状態）になる。フェーズロック状態の間、VCOの周波数 f_0 はある有限の位相差を除き、入力される基準信号の周波数 f_i と比例する。その位相差は、ループをフェーズロック状態に維持するために、VCOの周波数をシフトさせるのに必要な誤差電圧を発生するのに不可欠である。このようなループシステムの繰り返し動作により、フェーズロック状態に入っていれば、基準信号のあらゆる変化に追随し、基準信号に対して位相の合った周波数比 N 倍の出力信号がVCOの出力端子から出力される。

【0007】

前記非特許文献1（P. 1-3）に記載されているように、ループシステムが基準信号の周波数 f_i の変化に追随する範囲全体を、ロックレンジという。ロックレンジは、ループがフェーズロック状態になる周波数範囲（即ち、キャプチャレンジ）より広い。PLLのダイナミック（動的）特性は、基本的にループフィルタによって制御される。もし、基準信号と参照信号の周波数差（ $f_i - f_r$ ）が相当大きいと、その信号は周波数が高すぎてループフィルタを通過できず、こ

の結果、その信号はループのキャプチャレンジを越えていることになり、ロック状態が外れる。ループが一旦フェーズロック状態に入れば、基準信号の周波数 f_i の変化に追従するループの速度は、ループフィルタによってのみ制御される。その上、仮にシステムが瞬間的な雑音によってロック状態が外れても、ループフィルタが短時間記憶能力を持っているので、元の信号をキャプチャ（捕獲）できる。

【 0 0 0 8 】

しかし、ロック外れの時間が長くなると、VCOの出力端子に接続された負荷側の回路に悪影響を与えることがある。そこで、これを防止するために、ロック外れ検出回路を設け、この回路によってPLL回路の位相ロック外れを検出し、この検出信号に基づいてPLL動作信号をオン／オフする方式のPLL回路も提案されている。

【 0 0 0 9 】

又、基準信号の周波数 f_i が急に大きく切り替わった場合、位相差 $\Delta \phi$ が大きくなるので、VCOの発振周波数 f_o が大きく変化し、参照信号の周波数 f_r が基準信号の周波数 f_i に一致するまでの安定時間が長くなる。

【 0 0 1 0 】

これを防止するために、前記特許文献1の技術では、図1に記載されているように、ループフィルタとVCOとの間に、そのループフィルタの出力に制限を加えるリミッタを設けると共に、このリミッタのリミット電圧値を、基準信号の周波数変化に応じて制御するリミット値制御回路を設けている。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、従来の特許文献1及び非特許文献1に記載されたPLL回路では、次の(1)、(2)のような課題があった。

【 0 0 1 2 】

(1) ロック外れ検出回路を有するPLL回路の課題

PLL回路の応答は、主にループフィルタの特性により決定される。PLL回路を安定して動作させるためには、一般に、ループフィルタの周波数通過域を低

く設定するが、この場合、参照信号の変動に対する応答が遅くなったり、位相引き込みに時間がかかるという問題が発生する。そこで、応答を速めるために、ループフィルタの周波数通過域を高く設定すると、出力信号の位相変動（ジッタ）が大きくなるという問題が発生する。さらに、出力信号と基準信号の周波数比（＝分周器の分周比 N ）が大きくなると、位相引き込み時間を短縮するのが困難になる。

【0013】

このように、従来のPLL回路では、PLL動作開始時の位相引き込みに時間がかかるという課題があった。この課題は、特に、ロック外れ検出回路を用いて動作／非動作（即ち、閉ループ制御／開ループ制御）を頻繁に切り換えるPLL回路においては、大きな問題となる。

【0014】

（2）リミッタを有するPLL回路（特許文献1）の課題

PLL回路の安定時間を短くすることができるが、ロック外れに対しては、何ら対策が採られていない。しかも、リミッタのリミット電圧を切り換えるためのリミット値制御回路が必要になるので、回路構成が複雑になるという課題があった。

【0015】

【課題を解決するための手段】

前記課題を解決するために、本発明は、PLL回路において、基準信号と参照信号の位相を比較し、その位相差に応じた信号を出力する位相比較器と、前記位相比較器の出力信号を平滑化するループフィルタと、前記ループフィルタの出力信号に応じた周波数で発振する制御発振器（例えば、VCO又は電流制御発振器）と、前記位相比較器の出力側から前記制御発振器の入力側までの間の経路上に設けられ、前記経路上の信号のうちの所定の位相差の範囲内においてその経路上の信号のレベルを所定の範囲に制限して利得を大きく設定するリミッタと、を備えている。

【0016】

さらに、所定の分周比 N （但し、 N ；正の整数）で前記制御発振器の出力信号

を分周して前記参照信号を生成し、前記位相比較器にフィードバック入力する分周器と、前記基準信号及び前記参照信号に基づき、又は前記位相比較器の出力信号に基づき、位相ロックの外れを検出してロック外れ検出信号を出力するロック外れ検出回路と、前記ロック外れ検出信号に基づき、前記ループフィルタの出力信号を遮断して所定の信号を前記制御発振器に入力するスイッチ手段と、を備えている。

【0017】

このような構成を採用したことにより、リミッタにより、所定の入力位相差の範囲内において、通過する信号のレベルが制限されつつ、PLLループの利得が大きく設定される。

【0018】

又、本発明では、前記リミッタに代えて、動作開始時に入力される基準信号に応答して引き込み開始信号を生成する引き込み開始信号生成回路を設け、さらに、前記分周器に代えて、構成の異なる分周器（例えば、プリセット付き分周器）を設けても良い。この分周器では、引き込み開始信号生成回路から与えられる引き込み開始信号が入力されると、基準信号との位相差が最小となる参照信号を生成して位相比較器にフィードバック入力し、その後、制御発振器の出力信号が入力されると、その制御発振器の出力信号を所定の分周比Nで分周して参照信号を生成し、位相比較器にフィードバック入力する。これにより、PLL動作開始直後から、位相比較器の出力が最小値になる。

【0019】

又、本発明では、前記リミッタを省略せずに、このリミッタと共に、前記引き込み開始信号生成回路を設けても良い。

【0020】

【発明の実施の形態】

第1の実施形態]

（構成）

図1は、本発明の第1の実施形態を示すPLL回路の概略の構成図である。

【0021】

このPLL回路は、例えば、周波数逡倍に用いられる回路であり、位相比較器10を有している。位相比較器10は、周波数 f_i の基準信号SIと周波数 f_r の参照信号SRとを入力し、両入力の位相を比較し、その位相差 $\Delta\phi$ ($=f_i - f_r$) に応じた信号（例えば、位相差 $\Delta\phi$ に比例したDC出力電圧S10）を発生する回路であり、この出力側に、ロック外れ検出回路20及びリミッタ30が接続されている。ロック外れ検出回路20は、位相比較器10のDC出力電圧S10に基づき、位相ロックの外れを検出してロック外れ検出信号S20を出力する回路である。リミッタ30は、出力電圧S10のうちの所定の位相差の範囲内においてその出力電圧S10のレベルを所定の範囲に制限して利得を大きく設定する回路であり、この出力側に、ループフィルタ40が接続されている。

【0022】

ループフィルタ40は、出力電圧S30を平滑化する回路であって、例えば、LPFで構成され、この出力側に、スイッチ手段50を介して制御発振器（例えば、VCO60）が接続されている。スイッチ手段50は、ロック外れ検出信号S20及びPLL動作信号ENに基づき、ループフィルタ40及びVCO60間を接続／遮断するトランジスタ等の素子であり、例えば、PLL動作信号ENが論理“H”レベルのときには、ループフィルタ40及びVCO60間を接続し、ロック外れ検出信号S20の活性化によってPLL動作信号ENが論理“L”レベルになると、ループフィルタ40及びVCO60間を遮断して該VCO60の入力端子を所定の固定電圧VAノードに接続するものである。

【0023】

VCO60は、入力電圧により発振周波数 f_o が制御され、周波数 f_o の出力信号SOを出力端子から出力する発振器であり、この出力側が、分周器70を介して位相比較器10の入力端子にフィードバック接続されている。分周器70は、周波数 f_o の出力信号SOを所定の分周比N（但し、N；正の整数）で分周し、周波数 f_r ($=f_o/N$) の参照信号SRを生成して位相比較器10にフィードバック入力する回路であり、カウンタ等で構成されている。

【0024】

図2は、図1中の位相比較器10の構成例を示す回路図である。

【 0 0 2 5 】

この位相比較器 1 0 は、立ち下がリエッジトリガ方式の位相比較器であり、位相検出回路 1 1 を有し、この出力側に、チャージポンプ回路 1 2 が接続され、さらに、このチャージポンプ回路 1 2 の出力側に、増幅器（以下「アンプ」という。） 1 3 が接続されている。

【 0 0 2 6 】

位相検出回路 1 1 は、アップ信号 U に基づき基準信号 S I を取り込む 2 入力 N A N D ゲート 1 1 a を有すると共に、ダウン信号 D に基づき参照信号 S R を取り込む 2 入力 N A N D ゲート 1 1 f を有している。N A N D ゲート 1 1 a の出力側には、この出力を保持する 2 つの 2 入力 N A N D ゲート 1 1 b 及び 1 1 c からなる第 1 のフリップフロップ（以下「F F」という。）が接続されている。同様に、N A N D ゲート 1 1 f の出力側にも、この出力を保持する 2 つの 2 入力 N A N D ゲート 1 1 d, 1 1 e からなる第 2 の F F が接続されている。

【 0 0 2 7 】

N A N D ゲート 1 1 a, 1 1 f、及び第 1、第 2 の F F の出力側には、4 入力 N A N D ゲート 1 1 g が接続されている。N A N D ゲート 1 1 a, 1 1 g 及び第 1 の F F の出力側には、3 入力 N A N D ゲート 1 1 h が接続され、この N A N D ゲート 1 1 h から出力されるアップ信号 U が、N A N D ゲート 1 1 a にフードバック入力されると共に、チャージポンプ回路 1 2 に与えられる。同様に、N A N D ゲート 1 1 f, 1 1 g 及び第 2 の F F の出力側にも、3 入力 N A N D ゲート 1 1 i が接続され、この N A N D ゲート 1 1 i から出力されるダウン信号 D が、N A N D ゲート 1 1 f にフードバック入力されると共に、チャージポンプ回路 1 2 に与えられる。アップ信号 U 及びダウン信号 D は、チャージポンプ回路 1 2 に蓄積された後、アンプ 1 3 で増幅されて出力電圧 S 1 0 として出力される。

【 0 0 2 8 】

図 3 は、図 1 中のロック外れ検出回路 2 0、リミッタ 3 0 及びループフィルタ 4 0 の構成例を示す概略の回路図である。

【 0 0 2 9 】

ロック外れ検出回路 2 0 は、位相比較器 1 0 の出力側に接続されたコンパレー

タ 2 1 を有し、この出力側に、フラグ 2 2 が接続されている。コンパレータ 2 1 は、位相比較器 1 0 の出力電圧 $S 1 0$ を参照電圧 $V B$ と比較し、 $S 1 0 \geq V B$ のときには、例えば、“H”レベルの出力信号を出力する回路である。フラグ 2 2 は、その“H”レベルの出力信号を入力すると、これを保持して例えば“H”レベルのロック外れ検出信号 $S 2 0$ を出力する回路であり、F F 等で構成されている。フラグ 2 2 から“H”レベルのロック外れ検出信号 $S 2 0$ が出力されると、スイッチ手段 6 0 が固定電圧 $V A$ ノード側に切り替わり、この固定電圧 $V A$ が $V C O 6 0$ に入力される。

【 0 0 3 0 】

リミッタ 3 0 は、位相比較器 1 0 の出力側に接続された抵抗値 $R 3 1$ の入力抵抗 3 1 を有し、この入力抵抗 3 1 が、演算増幅器（以下「オペアンプ」という。）3 2 の正相入力端子に接続されている。オペアンプ 3 2 の逆相入力端子は、グランド $G N D$ に接続されている。オペアンプ 3 2 の正相入力端子は、抵抗値 $R 3 3$ の帰還抵抗 3 3 を介して、該オペアンプ 3 2 の出力端子に接続され、この出力端子から出力電圧 $S 3 0$ が出力される。抵抗値 $R 3 1$ 、 $R 3 3$ の選定により、オペアンプ 3 2 の利得 $G (= S 3 0 / S 1 0 = R 3 3 / R 3 1)$ が大きく設定されている。帰還抵抗 3 3 には、順方向のツェナダイオード 3 4 と、逆方向のツェナダイオード 3 5 とが、並列に接続され、出力電圧 $S 3 0$ の最大レベル及び最低レベルが制限される。

【 0 0 3 1 】

ループフィルタ 4 0 は、ラグ・リード型 $L P F$ であり、リミッタ 3 0 の出力電圧 $S 3 0$ を入力する抵抗 4 1、4 2 及びコンデンサ 4 3 を有している。抵抗 4 2 及びコンデンサ 4 3 には、コンデンサ 4 4 が並列接続されている。コンデンサ 4 4 は、雑音対策用に設けられているので、例えば、コンデンサ 4 3 の $1 / 1 0$ 程度の容量でよく、必要がなければ、省略しても良い。

【 0 0 3 2 】

図 4 は、図 1 中の $V C O 6 0$ の構成例を示す概略の回路図である。

【 0 0 3 3 】

この $V C O 6 0$ は、マルチバイブレータ型の発振器であり、入力電圧 $V I (=$

ループフィルタ 4 0 の出力電圧 S 4 0 又は固定電圧 V A) を電流に変換する電圧／電流変換部 6 1 を有し、この出力側に、発振部 6 2 が接続されている。

【 0 0 3 4 】

電流／電圧変換部 6 1 は、オペアンプ 6 1 a を有し、このオペアンプ 6 1 a の正相入力端子が、スイッチ手段 5 0 の出力側に接続されている。オペアンプ 6 1 a の出力端子は、Nチャネル型 MOS トランジスタ（以下「NMOS」という。） 6 1 b のゲートに接続され、この NMOS 6 1 b のソースが、オペアンプ 6 1 a の逆相入力端子に接続されている。NMOS 6 1 b のドレインは、Pチャネル型 MOS トランジスタ（以下「PMOS」という。） 6 1 c を介して電源電圧 V DD に接続されている。NMOS 6 1 b のソースは、抵抗 6 1 d を介してグランド GND に接続されている。PMOS 6 1 c のゲート及びドレインは、カレントミラー回路を構成する PMOS 6 1 e のゲートに接続されている。

【 0 0 3 5 】

入力電圧 V I がオペアンプ 6 1 a に入力されると、このオペアンプ 6 1 b の出力によって NMOS 6 1 b がゲート制御され、入力電圧 V I に応じた電流が PMOS 6 1 c に流れ、その電流に比例した電流が PMOS 6 1 e にも流れて、発振部 6 2 へ供給される。

【 0 0 3 6 】

発振部 6 2 は、PMOS 6 2 a, 6 2 b を有し、この PMOS 6 2 a, 6 2 b のソースが PMOS 6 1 e のドレインに接続されている。各 PMOS 6 2 a, 6 2 b のドレインは、各 NMOS 6 2 c, 6 2 d を介してグランド GND に接続されると共に、コンデンサ 6 2 e を介して相互に接続されている。各 PMOS 6 2 a, 6 2 b のドレインには、信号反転用のインバータ 6 2 f, 6 2 g, 6 2 h, 6 2 i がそれぞれ接続され、このインバータ 6 2 g, 6 2 h の出力側が、2 入力 AND ゲート 6 2 j に接続されている。AND ゲート 6 2 j 及びインバータ 6 2 i の出力側には、2 つの 2 入力 NOR ゲート 6 2 k 及び 6 2 l からなる RS - FF が接続されている。RS - FF の出力側は、PMOS 6 2 a, 6 2 b 及び NMOS 6 2 c, 6 2 d の各ゲートにフィードバック接続されると共に、駆動用のインバータ 6 2 m に接続され、このインバータ 6 2 m から出力信号 S O が出力され

る。

【0037】

PMOS 61e から電流が供給されると、これが PMOS 62a, 62b、NMOS 62c, 62d 及びコンデンサ 62e からなる発振回路で増幅される。増幅された信号は、インバータ 62f, 62g, 62h, 62i で反転され、NAND ゲート 62j を介して、NOR ゲート 62k, 62l からなる RS-FF に保持された後、PMOS 62a, 62b 及び NMOS 62c, 62d の各ゲートへフィードバック入力される。これにより、入力電圧 V_I に比例した周波数 f_o で発振部 62 が発振し、インバータ 62m から出力信号 SO が出力される。

【0038】

(動作)

図5は、図1（例えば、分周比 $N=8$ の場合）の動作波形図である。図6（A）、（B）は、図2中の位相検出回路11の入出力波形図であり、同図（A）は参照信号 SR 波形が基準信号 SI 波形より遅れている場合の波形図、及び同図（B）は基準信号 SI 波形が参照信号 SR 波形より遅れている場合の波形図である。図7は、図1及び図2中の位相検出回路11及びリミッタ30の入出力波形図である。

【0039】

これらの図5～図7を参照しつつ、図1のPLL回路の動作を説明する。

【0040】

図5において、電源電圧を印加すると、PLL回路が動作し、固定電圧 V_A がスイッチ手段50を介してVCO60に印加され、このVCO60が一定の周波数 f_o で発振する。VCO60の出力信号SOは、分周器70で $N (=8)$ 分周され、周波数 $f_r (=f_o/N)$ の参照信号SRが生成されて位相比較器10にフィードバック入力される。

【0041】

“H”レベルのPLL動作信号ENが入力されてPLL動作がオンすると、スイッチ手段50がループフィルタ40側に切り替わり、ループフィルタ40の出力電圧S40がVCO60に入力される。VCO60は、出力電圧S40に応じ

た周波数 f_o で発振し、この VCO 60 の出力信号 S O が、分周器 70 で分周されて参照信号 S R が生成され、位相比較器 10 にフィードバック入力される。PLL 動作オンにより、周波数 f_i の基準信号 S I が位相比較器 10 に入力され、この位相比較器 10 内の位相検出回路 11 により、周波数 f_i の基準信号 S I と周波数 f_r の参照信号 S R との位相が比較される。

【0042】

例えば、図 6 (A) に示すように、参照信号 S R が基準信号 S I に対して遅れている場合、位相検出回路 11 内の NAND ゲート 11 h から、アップ信号 U が出力される。これに対し、図 6 (B) に示すように、基準信号 S I が参照信号 S R より遅れていれば、位相検出回路 11 内の NAND ゲート 11 i から、ダウン信号 D が出力される。

【0043】

ここで、位相検出回路 11 の図 7 に示す入出力伝達特性について説明する。

【0044】

図 7 の入出力波形図では、横軸に基準信号 S I と参照信号 S R の位相差 $\Delta \phi$ (単位 ; radian) が採られ、縦軸に位相検出回路 11 の平均出力電圧 V 11 (単位 ; V) が採られている。

【0045】

位相検出回路 11 の入出力伝達特性曲線 C 1 は、図 7 の破線で示すように、のこぎり波であり、 4π ラジアン (即ち、 -2π ラジアン $\sim +2\pi$ ラジアン) の広い直線範囲を持っている。位相検出変換利得 K 11 (単位 ; V / r a d) は、

$$K_{11} = V_{11} / \Delta \phi$$

から求められ、例えば、平均値は 0.12 V / r a d である。位相差 $\Delta \phi$ が -2π ラジアンから $+2\pi$ ラジアンまで変化すれば、アップ信号 U 及びダウン信号 D はほぼ $+0.75 \text{ V} \sim +2.25 \text{ V}$ まで変化する。これらのアップ信号 U 及びダウン信号 D は、チャージポンプ回路 12 に蓄積された後、アンプ 13 で増幅され、このアンプ 13 から出力電圧 S 10 が出力されてロック外れ検出回路 20 及びリミッタ 30 に与えられる。

【0046】

位相比較器 1 0 の出力電圧 S_{10} は、この最大レベル及び最低レベルがリミッタ 4 0 で制限され、ループフィルタ 4 0 で平滑されて DC に近い出力電圧 S_{40} が生成される。この出力電圧 S_{40} は、スイッチ手段 5 0 を介して VCO 6 0 へ戻される。これにより、周波数差 ($f_i - f_r$) が少なくなる方向へ VCO 6 0 の周波数 f_o が変化する。

【0047】

参照信号 S_R の周波数 f_r が基準信号 S_I の周波数 f_i と一致して周波数差 ($f_i - f_r$) が零になるまで、上記の処理が続けられ、それが一致したとき、位相ロック状態になる。ロック状態の間、VCO 6 0 の周波数 f_o はある有限の位相差を除き、入力される基準信号 S_I の周波数 f_i と比例する。このようなループシステムの繰り返し動作により、フェーズロック状態に入っていれば、基準信号 S_I の変化に追随し、基準信号 S_I に対して位相の合った周波数比 N 倍の出力信号 S_O が VCO 6 0 の出力端子から出力される。

【0048】

基準信号 S_I の周波数 f_i の変化等により位相差 $\Delta\phi$ が大きくなってロック状態が外れると、これがロック外れ検出回路 2 0 で検出され、ロック外れ検出信号 S_{20} が出力される。すると、PLL 動作信号 EN が “L” レベルになって PLL 動作がオフし、スイッチ手段 5 0 が固定電圧 V_A ノード側に切り替わり、この固定電圧 V_A によって VCO 6 0 が一定の周波数 f_o で発振する。その後、PLL 動作信号 EN が “H” レベルになると、PLL 動作がオンし、上記の動作が行われる。

【0049】

次に、PLL 回路の応答特性等について説明する。

【0050】

PLL 回路の DC ループ利得 K は、次式から求められる。

$$K = K_{11} \times K_{60}$$

但し、 K_{11} ; 位相比較器 1 0 の位相検出変換利得 (V/rad)

K_{60} ; VCO 6 0 の変調感度 (利得) ($\text{rad}/\text{s}/V$)

$$K_{60} = \text{出力周波数 } f_o / \text{入力電圧 } V_I$$

【 0 0 5 1 】

基準信号 S I の周波数変化に対する参照信号 S R の周波数追従速度（即ち、応答速度）を速くするためには、例えば、利得 K を大きくすれば良い。しかし、利得 K を大きくすると、オーバシュートが大きくなったり、定常状態に落ち着くまでのセットリングタイムが長くなって、出力信号 S O の位相変動（ジッタ）特性が低下する。この対策として、P L L の応答特性を決定する重要な要素であるループフィルタ 4 0 の抵抗 4 1, 4 2 及びコンデンサ 4 3 等を最適値に設計することが必要となる。

【 0 0 5 2 】

リミッタ 3 0 を使用しないときには、図 7 の曲線 C 1 に示すように、位相差 $\Delta \phi$ が $-2\pi \sim +2\pi$ ラジアン の範囲において、入力の位相差 $\Delta \phi$ と出力電圧 S 1 0 とが比例の関係にあり、この傾きが変換利得 K 1 1 である。リミッタ 3 0 を使用しない場合、入力の位相差 $\Delta \phi$ の全範囲（ $-2\pi \sim +2\pi$ ラジアン の範囲）に対して、出力電圧 S 1 0 を対応させるように設定すると、変換利得 K 1 1 を小さくするしかない。そのため、応答速度が遅くなるという不都合が生じる。

【 0 0 5 3 】

このような技術的な問題を解決するために、本実施形態では、リミッタ 3 0 を設けている。図 7 の入出力波形図には、リミッタ 3 0 を使用した場合の入出力伝達特性曲線 C 2 が実線で示されている。

【 0 0 5 4 】

図 3 に示すリミッタ 3 0 において、位相比較器 1 0 の出力電圧 S 1 0 は、利得 $G (= S 3 0 / S 1 0 = R 3 3 / R 3 1)$ のオペアンプ 3 2 によって増幅される。この際、その増幅値の最大レベル及び最低レベルがツェナーダイオード 3 4, 3 5 により制限され、この制限された増幅値の出力電圧 S 3 0 が出力される。

【 0 0 5 5 】

そこで、抵抗値 R 3 1, R 3 3 の選定によってオペアンプ 3 2 の利得 G を大きくし、入力される位相差 $\Delta \phi$ のある範囲だけ、変換利得 K 1 1 を大きく設定している。これにより、出力信号 S O のジッタ特性を向上させ、出力信号 S O の周波数変動を小さくすることが可能になる。

【 0 0 5 6 】

(効果)

本実施形態では、次の(1)、(2)のような効果がある。

【 0 0 5 7 】

(1) リミッタ 3 0 を使用しない場合、P L L 回路の応答特性と出力信号 S O のジッタ特性の両立を計るのが困難であったが、リミッタ 3 0 を設けることにより、入力される位相差 $\Delta \phi$ の小さいときにも、変換利得 K 1 1 を大きく設定することができる。これにより、出力信号 S O のジッタ特性を向上させ、出力信号 S O の周波数変動を小さくすることが可能になる。よって、P L L 動作開始時の位相引き込み時間を短縮できる。

【 0 0 5 8 】

(2) 前記特許文献 1 のようなリミッタのリミット電圧を切り換えるための回路を必要としないので、回路構成が比較的簡単で、しかも、ロック外れに対して的確な P L L 動作が可能になる。

【 0 0 5 9 】

[第 2 の実施形態]

(構成)

図 8 は、本発明の第 2 の実施形態を示す P L L 回路の概略の構成図であり、第 1 の実施形態を示す図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 6 0 】

本実施形態の P L L 回路では、新たに、引き込み開始信号生成回路 8 0 が追加され、さらに、図 1 の分周器 7 0 に代えて、プリセット付き分周器 9 0 が設けられていることが、第 1 の実施形態と異なり、その他の構成は図 1 と同様である。

【 0 0 6 1 】

引き込み開始信号生成回路 8 0 は、P L L 動作信号 E N が “H” レベルになって P L L 動作 (閉ループ) が開始する時に、入力される基準信号 S I に応答して引き込み開始信号 S 8 0 を生成する回路であり、この出力側が、プリセット付き分周器 9 0 のプリセット端子 P に接続されている。

【 0 0 6 2 】

プリセット付き分周器 90 は、VCO60 の出力側と位相比較器 10 の入力側との間に接続されている。この分周器 90 は、引き込み開始信号 S80 がプリセット端子 P に入力されると、基準信号 SI との位相差 $\Delta\phi$ が最小となる参照信号 SR を出力して位相比較器 10 にフィードバック入力し、その後、VCO60 の出力信号 SO が入力されると、該出力信号 SO を所定の分周比 N（例えば、 $N=8$ ）で分周して参照信号 SR を出力し、位相比較器 10 にフィードバック入力する回路である。

【0063】

図 9 は、図 8 中の引き込み開始信号生成回路 80 の構成例を示す概略の回路図である。

【0064】

この引き込み開始信号生成回路 80 は、基準信号 SI のエッジ（例えば、立ち下がりエッジ）で PLL 動作信号 EN を取り込む FF（例えば、遅延型 FF、以下「D-FF」という。）81 を有し、この出力端子 Q に、1 個又は複数個の遅延用の FF（例えば、D-FF）82 が接続されている。D-FF81 の出力端子 Q 及び D-FF82 の反転出力端子 $Q/\text{}$ には、引き込み開始信号 S80 を出力する 2 入力 AND ゲート 83 が接続されている。

【0065】

即ち、D-FF81 は、PLL 動作信号 EN を入力する入力端子 D、基準信号 SI を入力する入力端子 E、クロック入力端子 CK、リセット端子 R、出力端子 Q、及び反転出力端子 $Q/\text{}$ を有し、“H” レベルの PLL 動作信号 EN が入力された直後の、基準信号 SI の立ち下がりエッジで PLL 動作信号 EN の “H” レベルを取り込み、出力端子 Q を “H” レベルにする回路であり、この出力端子 Q に、D-FF82 の入力端子 D 及び AND ゲート 83 の一方の入力端子が接続されている。

【0066】

D-FF82 は、D-FF81 の出力端子 Q に接続された入力端子 D、クロック入力端子 CK、リセット端子 R、出力端子 Q、及び反転出力端子 $Q/\text{}$ を有し、D-FF81 の出力信号の “H” レベルを所定時間遅延させて反転出力端子 $Q/\text{}$

から“L”レベルの出力信号を出力する回路であり、この反転出力端子Q／に、信号反転用のインバータを介して、ANDゲート83の他方の入力端子が接続されている。

【0067】

ANDゲート83は、2入力の立ち上がりエッジの時間差に相当するパルス幅の引き込み開始信号S80を、PLL動作信号ENの“H”レベル直後の基準信号SIの立ち下がりエッジ後に出力する回路である。

【0068】

図10は、図8中のプリセット付き分周器90の構成例を示す概略の回路図である。

【0069】

このプリセット付き分周器90は、プリセット付き可変分周回路で構成され、VCO60の出力信号SOを取り込んで遅延させる1個又は複数個のFF（例えば、D-FF）91を有している。D-FF91の出力端子Qには、信号反転用のインバータを介して、2入力ANDゲート92の一方の入力端子が接続され、この他方の入力端子に、出力信号SOが入力される。ANDゲート92は、D-FF91で遅延された出力信号SOのエッジから、カウンタ入力パルスを生成する回路であり、この出力端子にカウンタ（例えば、12ビットのダウンカウンタ）93の入力端子INが接続されている。

【0070】

カウンタ93は、ANDゲート92の出力端子に接続された入力端子IN、クロック端子CK、リセット端子R、引き込み開始信号S80が入力されるプリセット端子P、及び参照信号SRを出力する出力端子OUTを有している。このカウンタ93は、入力端子INから入力されたANDゲート92の出力パルスをダウンカウントし、引き込み開始信号S80がプリセット端子Pに入力されると、カウント値が所定の値（例えば、「0」）に設定され、出力端子OUTから参照信号SRを出力する回路である。

【0071】

（動作）

図 1 1 は、図 8 の動作波形図である。この図を参照しつつ、図 8 の PLL 回路の動作を説明する。

【0072】

図 1 1 において、電源電圧を印加すると、PLL 回路が動作し、固定電圧 V_A がスイッチ手段 50 を介して VCO60 に印加され、この VCO60 が一定の周波数 f_o で発振する。VCO60 の出力信号 S_O は、分周器 90 で $N (= 8)$ 分周され、周波数 $f_r (= f_o / N)$ の参照信号 S_R が生成されて位相比較器 10 にフィードバック入力される。

【0073】

“H” レベルの PLL 動作信号 E_N が入力されて PLL 動作がオンすると、スイッチ手段 50 がループフィルタ 40 側に切り替わると共に、周波数 f_i の基準信号 S_I が位相比較器 10 及び引き込み開始信号生成回路 80 に入力される。図 9 の引き込み開始信号生成回路 80 では、PLL 動作信号 E_N が “H” レベルになった直後の、基準信号 S_I の最初のパルスの立ち下がリエッジで、引き込み開始信号 S_{80} を発生し、分周器 90 に与える。

【0074】

図 10 の分周器 90 内のカウンタ 93 では、プリセット端子 P に引き込み開始信号 S_{80} が入力されると、ダウンカウント値がプリセットされ、予め位相差 $\Delta \phi$ が最小になるように設定された値（例えば、1 クロック以内に収まるような値として「0」）に設定され、このプリセット値が出力端子 OUT から、参照信号 S_R として出力され、位相比較器 10 に与えられる。すると、位相比較器 10 において、周波数 f_i の基準信号 S_I と周波数 f_r の参照信号 S_R との位相が比較され、基準信号 S_I と参照信号 S_R との位相差 $\Delta \phi$ が求められる。この位相差 $\Delta \phi$ は、1 クロック以内に収まるように予め設定されているので、最小値の出力電圧 S_{10} が位相比較器 10 から出力される。

【0075】

この最小値の出力電圧 S_{10} は、ループフィルタ 40 で平滑され、スイッチ手段 50 を介して VCO60 へ戻される。これにより、周波数差 $(f_i - f_r)$ が少なくなる方向へ VCO60 の周波数 f_o が変化し、参照信号 S_R の周波数 f_r

が基準信号 S_I の周波数 f_i と一致したとき、位相ロック状態になり、基準信号 S_I に対して位相の合った周波数比 N 倍の出力信号 S_O が $VCO60$ の出力端子から出力される。

【0076】

上記の動作において、分周器 90 のプリセット後のクロックサイクルでは、基準信号 S_I と分周器 90 の出力である参照信号 S_R との間の位相差 $\Delta\phi$ が、1クロック以内に収まっているため、PLL動作開始直後から位相差 $\Delta\phi$ を小さな値とすることができ、この結果、PLL動作の引き込み時間を短縮することが可能となる。

【0077】

基準信号 S_I の周波数 f_i の変化等により位相差 $\Delta\phi$ が大きくなってロック状態が外れた場合は、第1の実施形態と同様に、ロック外れ検出回路 20 が動作する。

【0078】

(効果)

本実施形態では、PLL動作（閉ループ）開始時に、引き込み開始信号生成回路 80 から引き込み開始信号 S_{80} を出力し、分周器 90 から、基準信号 S_I との位相差 $\Delta\phi$ を最小とするような参照信号 S_R を出力する構成にしたので、PLL動作開始直後から、位相比較器 10 の出力電圧 S_{10} を小さくすることが可能となる。これにより、比較的簡単な回路構成で、PLL回路の位相ロックまでの時間を短縮することができる。

【0079】

[第3の実施形態]

(構成)

図12は、本発明の第3の実施形態を示すPLL回路の概略の構成図であり、第1の実施形態を示す図1及び第2の実施形態を示す図8中の要素と共通の要素には共通の符号が付されている。

【0080】

本実施形態のPLL回路では、図8のPLL回路の位相比較器 10 とループフ

ィルタ40との間に、図1のリミッタ30が接続された構成になっている。その他の構成は、図1及び図8と同様である。

【0081】

(動作)

PLL動作がオンすると、第1の実施形態と同様に、リミッタ30が動作する。このリミッタ30により、変換利得K11を大きく設定することができるので、出力信号S0のジッタ特性を改善できる。しかし、図7に示すように、入力位相差 $\Delta\phi$ の決められた範囲外の信号に対する応答が悪くなっている。

【0082】

そこで、本実施形態では、第2の実施形態と同様の引き込み開始信号生成回路80、及びプリセット付き分周器90を設けているので、PLL動作開始直後から、位相比較器10の出力電圧S10が小さくなるような動作が行われる。これにより、位相比較器10の出力電圧S10は、図7に示すリミッタ30の上記決められた範囲内に抑制され、この範囲外の信号に対して応答することがない。よって、リミッタ30の付加による悪影響を最小限に抑えることが可能になる。

【0083】

(効果)

本実施形態では、次の(1)、(2)のような効果がある。

【0084】

(1) 位相比較器10の出力電圧S10が大きくなってロック外れと判定された場合、従来例では、ループ回路の動作によって位相引き込みとロック動作を行わせていたので、引き込みに長時間かかっていた。これに対し、本実施形態では、ロックが外れても、一旦、PLL動作をオフ(開ループ)にした後、再びPLL動作を開始(閉ループ)するので、極めて短時間で位相ロック動作に回復することが可能である。

【0085】

(2) 実験的に回路を構成し、基準信号周波数 $f_i = 15.735\text{ KHz}$ 、出力信号周波数 $f_o = 27\text{ MHz}$ 、及び分周比 $N = 1716$ のPLL回路について効果を確認した。この結果、基準信号SIの1クロックを単位として、従来例で

は、位相ロックまでに3000～4000クロック必要だったのが、本実施形態を適用した場合、約50クロックと大幅に短縮されるのを確認した。

【0086】

〔第4の実施形態〕

前記第1～第3の実施形態のPLL回路を構成する回路は、他のデジタル型回路で構成しても良い。この第4の実施形態の回路構成例を図13～図16に示す。

【0087】

図13(A)、(B)は、デジタル型位相比較器の概略の構成図であり、同図(A)は回路図、及び同図(B)は動作波形図である。

【0088】

この位相比較器は、アップ/ダウンカウンタ14、及びD-FF15等で構成されている。デジタル参照信号SRによりカウンタ14が動作する。デジタル基準信号SIが“H”レベルのときには、カウンタ14がクロックを+1ずつアップカウントしていき、位相差 $\Delta\phi$ が $\pi/2$ ラジアン有的时候には、カウント値が「0」となる。デジタル基準信号SIが“L”レベルのときには、カウンタ14がクロックを-1ずつダウンカウントしていく。これらのカウント値はD-FF15に保持され、デジタル出力信号S10として出力される。

【0089】

図14(A)、(B)は、デジタル型ロック外れ検出回路の概略の構成図であり、同図(A)は回路図、及び同図(B)は動作波形図である。

【0090】

このロック外れ検出回路は、論理反転用のインバータ23、及び2入力NANDゲート24、25で構成されている。デジタル参照信号SRとデジタル基準信号SIが比較され、PLLループが位相ロック状態であれば、出力端子U1は論理“1”のままである。PLLループがロック状態から外れれば、その外れの量に比例した幅の負パルスが出力端子U1に現れる。この出力端子U1の出力を用いて、ロック外れを検出できる。

【0091】

図 1 5 は、デジタル型リミッタの概略の回路図である。

【 0 0 9 2 】

このリミッタは、コンパレータ 3 6、3 7、及びセレクタ 3 8 等で構成されている。デジタル出力電圧 S 1 0 及びデジタル比較電圧 V C 1、V C 2 が、コンパレータ 3 6、3 7 及びセレクタ 3 8 に入力され、デジタル値「+ 1 6」、「- 1 6」が、セレクタ 3 8 に入力される。コンパレータ 3 6 では、電圧 S 1 0 と V C 1 を比較し、コンパレータ 3 7 では、電圧 S 1 0 と V C 2 を比較する。S 1 0 > V C 1 のときには、セレクタ 3 8 により「+ 1 6」が選択されてデジタル出力電圧 S 3 0 が出力される。V C 1 > S 1 0 > V C 2 のときには、セレクタ 3 8 により S 1 0 が選択されて出力される。S 1 0 < V C 2 のときには、セレクタ 3 8 により「- 1 6」が選択されて出力される。

【 0 0 9 3 】

図 1 6 は、デジタル型 V C O の概略の回路図である。

【 0 0 9 4 】

この V C O は、n ビットの加算器 6 3 と、周波数 f c k のクロック C K により加算器 6 3 の出力値をラッチする n 個の D - F F 6 4 - 1 ~ 6 4 - n 等で構成されている。n ビットのデジタル入力電圧 V I と、n 個の D - F F 6 4 - 1 ~ 6 4 - n の出力値とが、加算器 6 3 で加算され、D - F F 6 4 - 1 からデジタル出力信号 S O が出力される。出力信号周波数 f o は、

$$f o = f c k \times (V I / 2^n)$$

となる。

【 0 0 9 5 】

[利用形態]

本発明は、上記実施形態に限定されず、種々の変形や利用形態が可能である。この変形例や利用形態としては、例えば、次の (1) ~ (6) のようなものがある。

【 0 0 9 6 】

(1) 図 2 のアナログ型位相比較器 1 0 は、位相比較結果をアナログ値で出力するもの (即ち、位相差 $\Delta \phi$ を周期に占める時間で出力するもの) であれば、他

のアナログ型回路で構成しても良い。又、図 1 3 のデジタル型位相比較器は、位相比較結果をデジタル値で出力するもの（即ち、位相差 $\Delta\phi$ をカウント値等のデジタル値で出力するもの）であれば、他のデジタル型回路で構成しても良い。

【0097】

(2) リミッタ 3 0 は、位相比較器 1 0 とループフィルタ 4 0 との間に設けたが、ループフィルタ 4 0 と VCO 6 0 との間に設けても良く、これにより上記実施形態とほぼ同様の作用、効果が得られる。又、図 1 5 のデジタル型リミッタは、他のデジタル型回路構成のものを採用しても良い。

【0098】

(3) ループフィルタ 4 0 は、図 3 のものに代えて、オペアンプを用いたラグ・リード型 LPF 等の他のアナログ型フィルタに置き換えても良い。

【0099】

(4) VCO 6 0 は、図 4 のものに代えて、CR 発振器やリング発振器等の他のアナログ型 VCO に置き換えても良い。又、図 1 6 のデジタル型 VCO は、他のデジタル型回路構成のものを採用しても良い。

【0100】

(5) 制御発振器は、アナログ型又はデジタル型の電流制御発振器を用いても良い。例えば、アナログ型の電流制御発振器を構成する場合は、図 4 の発振部 6 2 を使用すれば良い。

【0101】

(6) 位相比較器 1 0 及び制御発振器がそれぞれアナログ型かデジタル型かによって、ループフィルタ 4 0 やリミッタ 3 0 等もアナログ型やデジタル型である場合があるが、そのいずれであっても本発明を適用可能である。

【0102】

【発明の効果】

以上詳細に説明したように、本発明によれば、ロック外れ検出回路を有する PLL 回路において、所定の位相差の範囲内において通過する信号の絶対値の最大レベルを制限して利得を大きく設定するリミッタを設けたので、出力信号のジッタ特性を向上させ、出力信号の周波数変動を小さくすることが可能になり、これ

により、PLL動作開始時の位相引き込み時間を短縮できる。その上、回路構成が比較的簡単で、ロック外れに対して的確なPLL動作が可能になる。

【0103】

又、リミッタに代えて、引き込み開始信号生成回路を設けた場合、PLL動作開始直後から、位相比較器の出力を小さくすることが可能となるので、比較的簡単な回路構成で、PLL回路の位相ロックまでの時間を短縮することができる。

【0104】

又、リミッタと引き込み開始信号生成回路とを設けた場合、リミッタの出力が所定の入力位相差の範囲内に抑制され、この範囲外の信号に対して応答することがない。よって、リミッタの付加による悪影響を最小限に抑さえて上記の効果が得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を示すPLL回路の構成図である。

【図2】

図1中の位相比較器10の回路図である。

【図3】

図1中のロック外れ検出回路20、リミッタ30、及びループフィルタ40の回路図である。

【図4】

図1中のVCO60の回路図である。

【図5】

図1の動作波形図である。

【図6】

図2中の位相検出回路11の入出力波形図である。

【図7】

図1及び図2中の位相検出回路11及びリミッタ30の入出力波形図である。

【図8】

本発明の第2の実施形態を示すPLL回路の構成図である。

【図 9】

図 8 中の引き込み開始信号生成回路 8 0 の回路図である。

【図 1 0】

図 8 中のプリセット付き分周器 9 0 の回路図である。

【図 1 1】

図 8 の動作波形図である。

【図 1 2】

本発明の第 3 の実施形態を示す P L L 回路の構成図である。

【図 1 3】

本発明の第 4 の実施形態を示す位相比較器の構成図である。

【図 1 4】

本発明の第 4 の実施形態を示すロック外れ検出回路の構成図である。

【図 1 5】

本発明の第 4 の実施形態を示すリミッタの構成図である。

【図 1 6】

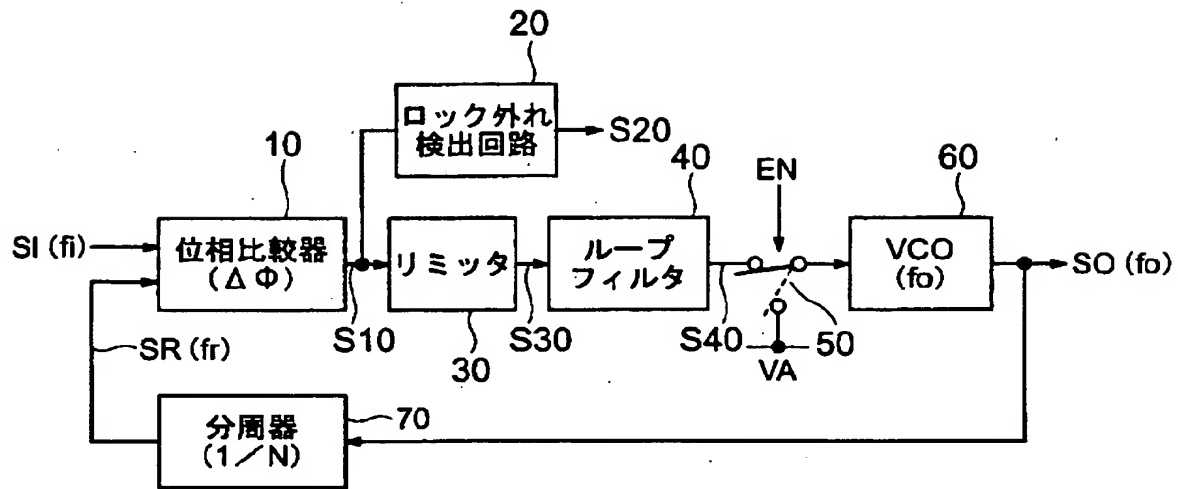
本発明の第 4 の実施形態を示す V C O の構成図である。

【符号の説明】

1 0	位相比較器
2 0	ロック外れ検出回路
3 0	リミッタ
4 0	ループフィルタ
5 0	スイッチ手段
6 0	V C O
7 0	分周器
8 0	引き込み開始信号生成回路
9 0	プリセット付き分周器

【書類名】 図面

【図 1】



本発明の第1の実施形態のPLL回路

【図 2】

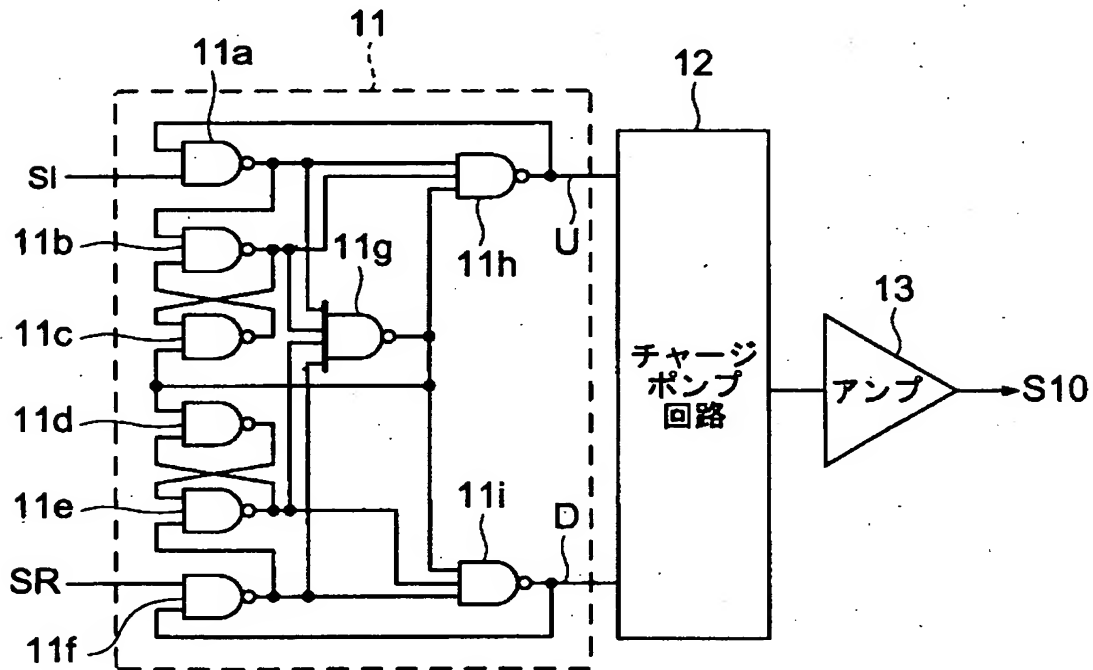


図1中の位相比較器

【図 3】

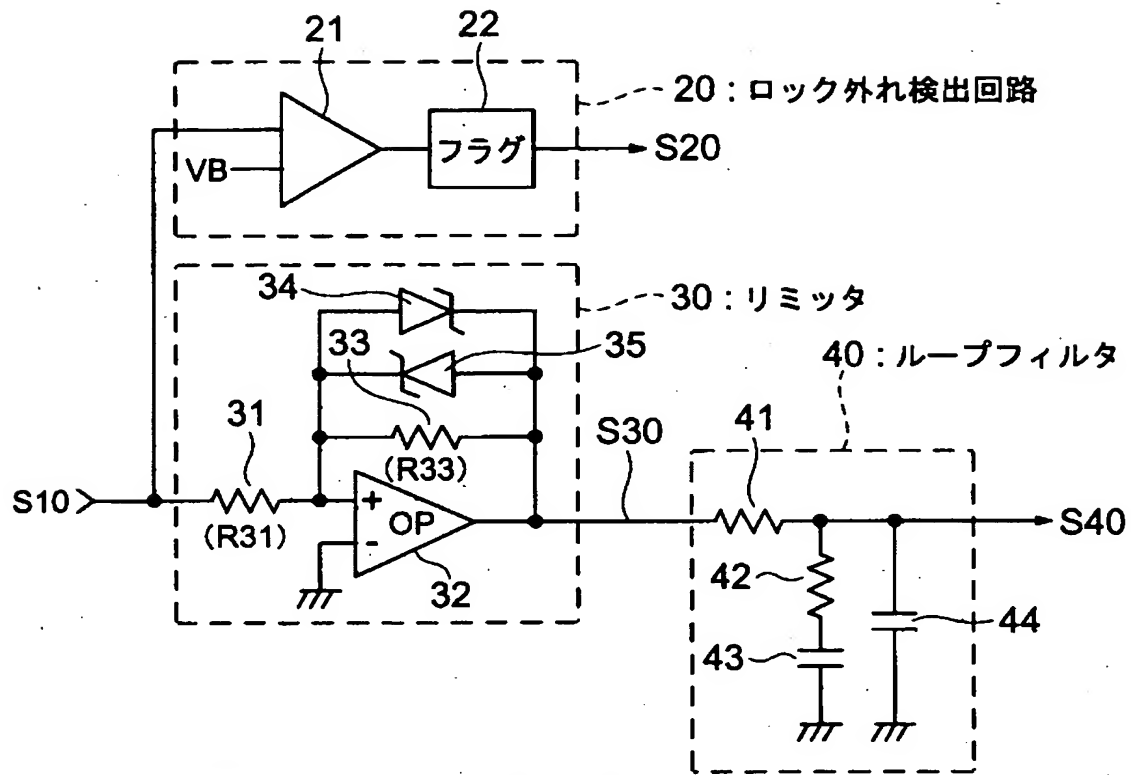


図1中のロック外れ検出回路、リミッタ、ループフィルタ

【図4】

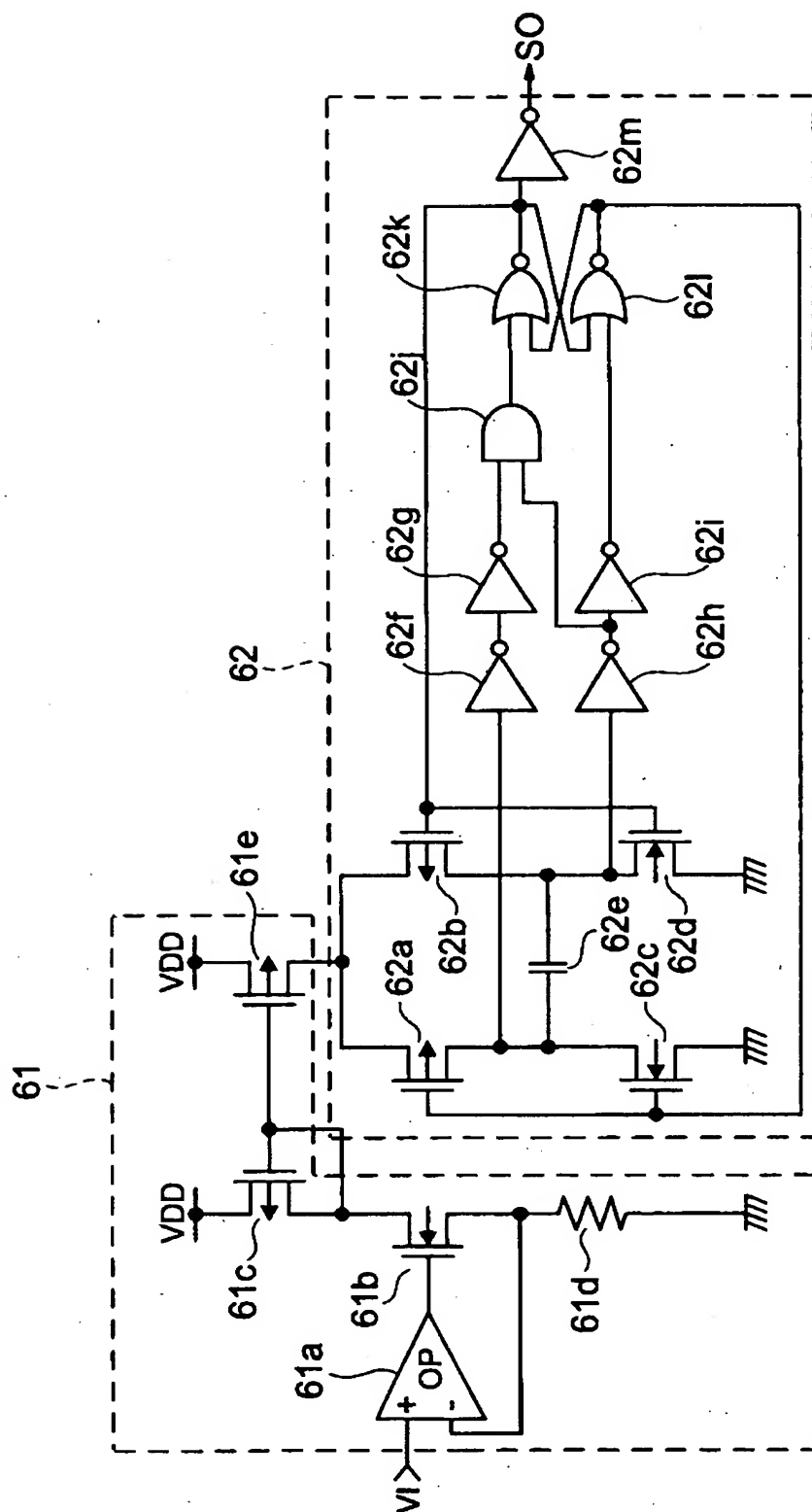


図1中のVCO

【図5】

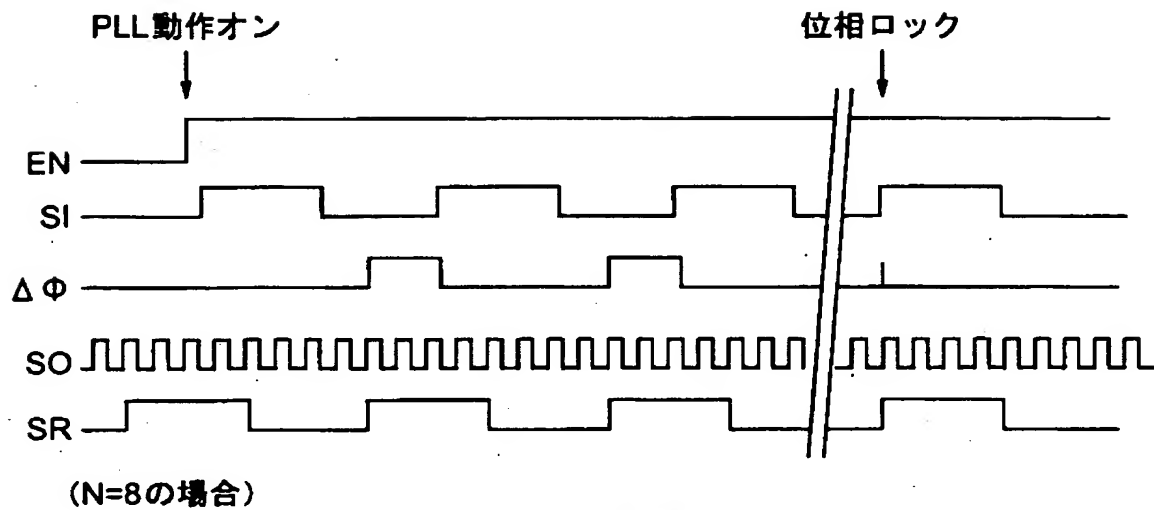
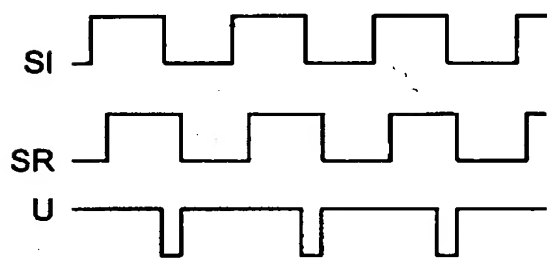
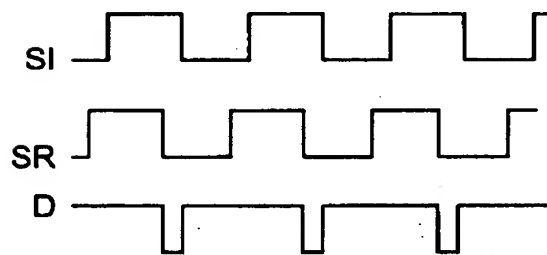


図1の動作波形

【図6】



(A)



(B)

図2中の位相検出回路の入出力波形

【図 7】

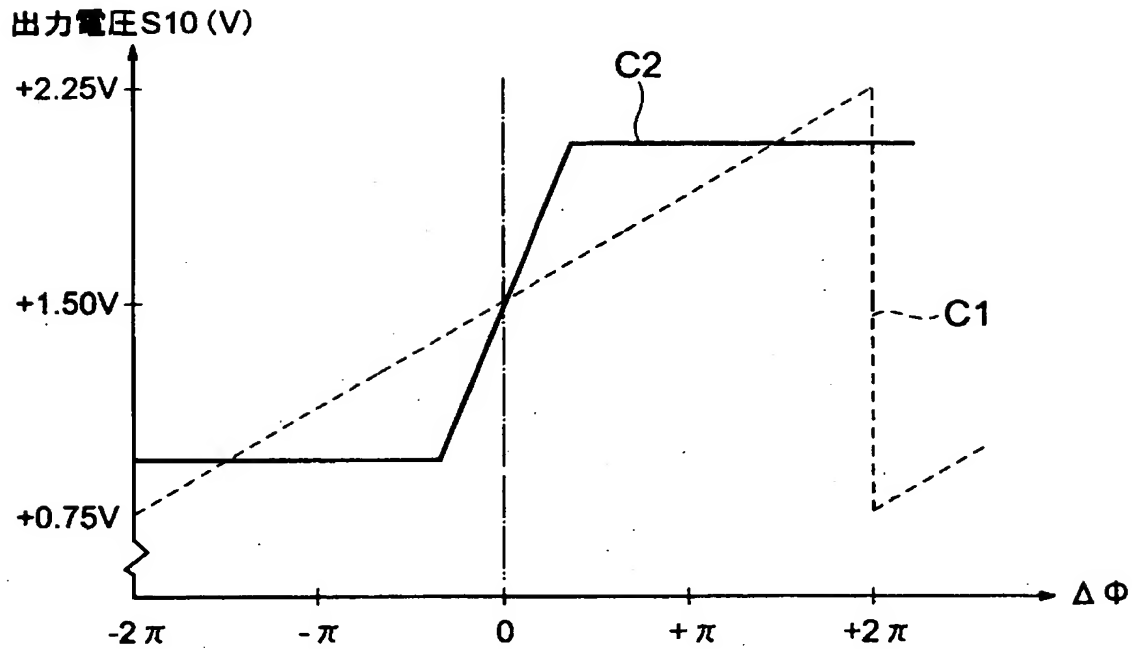
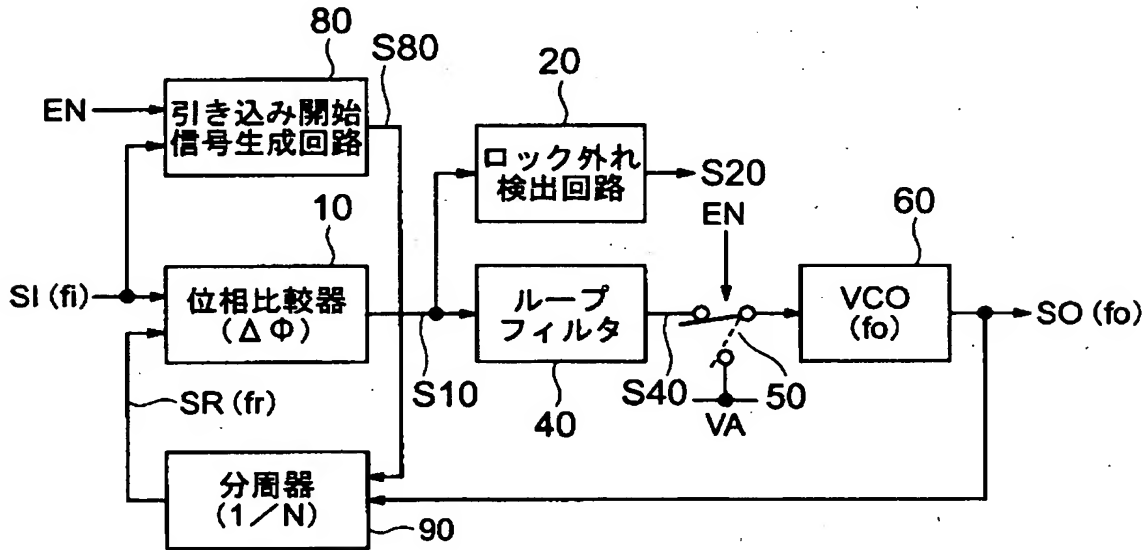


図1、図2中の位相検出回路、リミッタの入出力波形

【図 8】



本発明の第2の実施形態のPLL回路

【図 9】

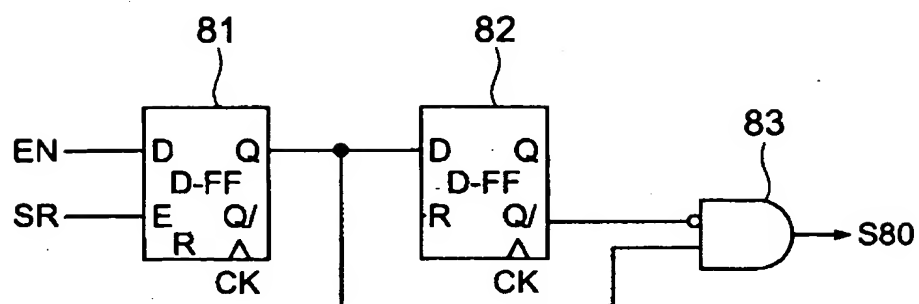


図8中の引き込み開始信号生成回路

【図 1 0】

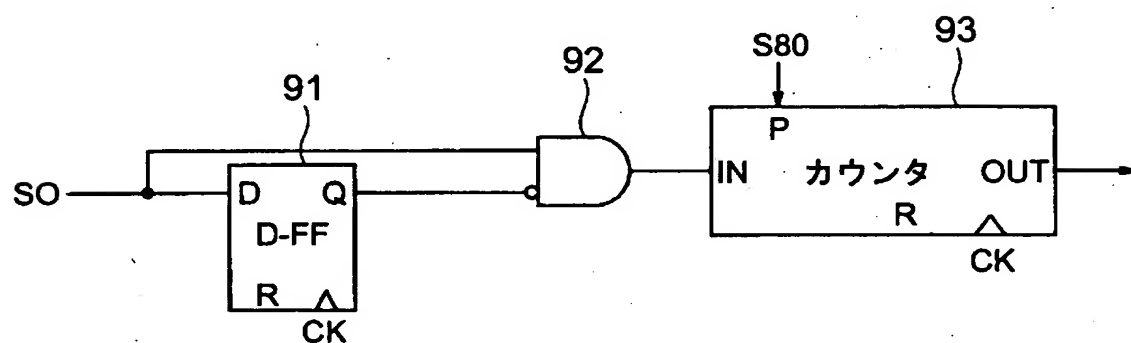


図8中のプリセット付き分周器

【図11】

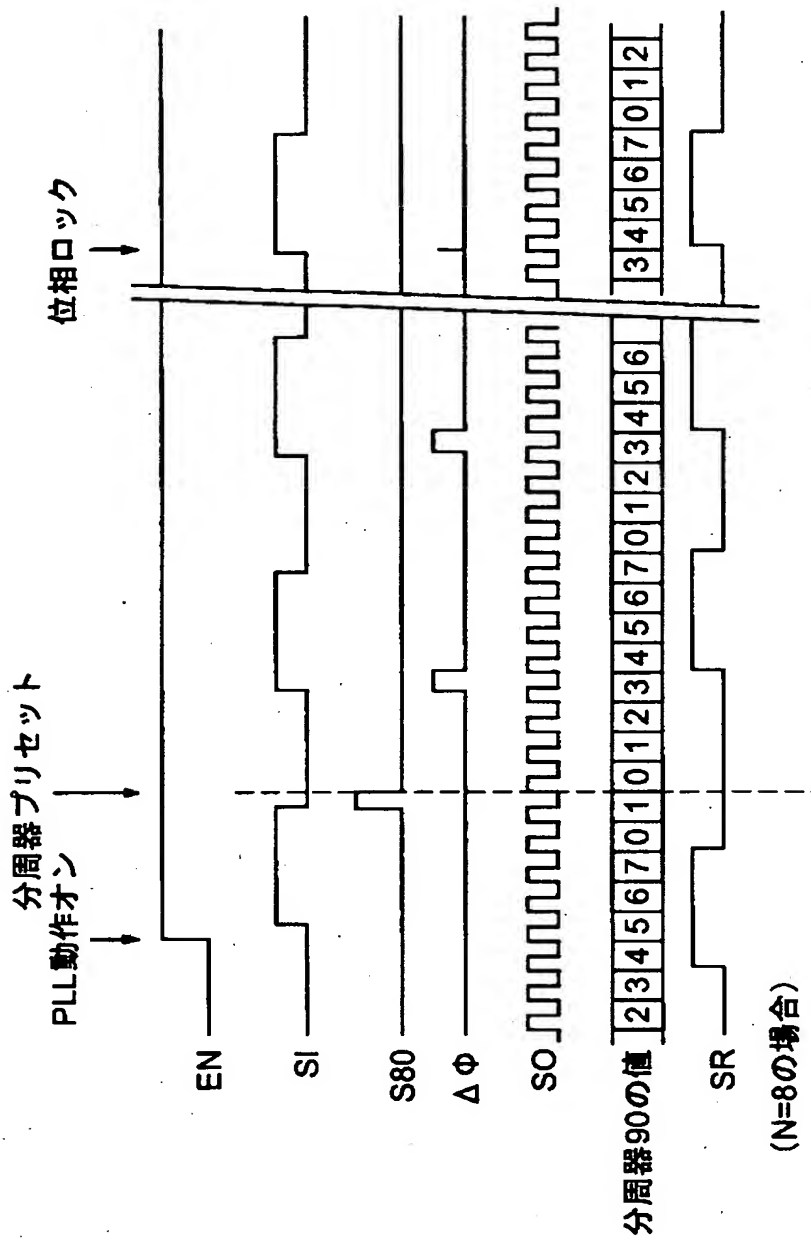
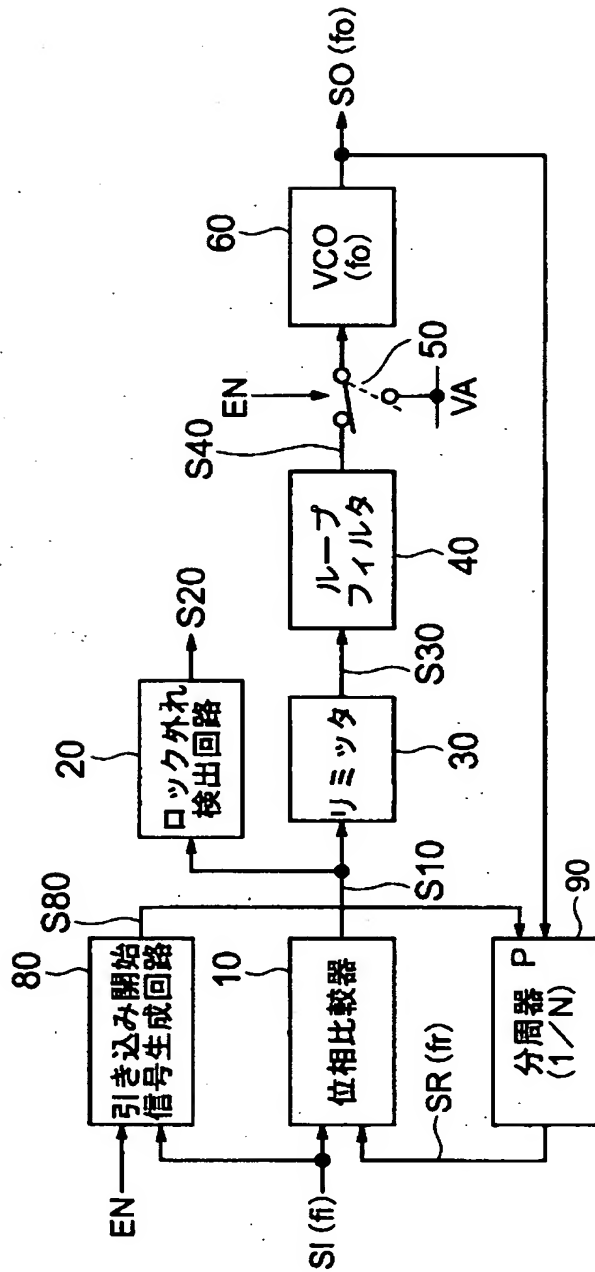


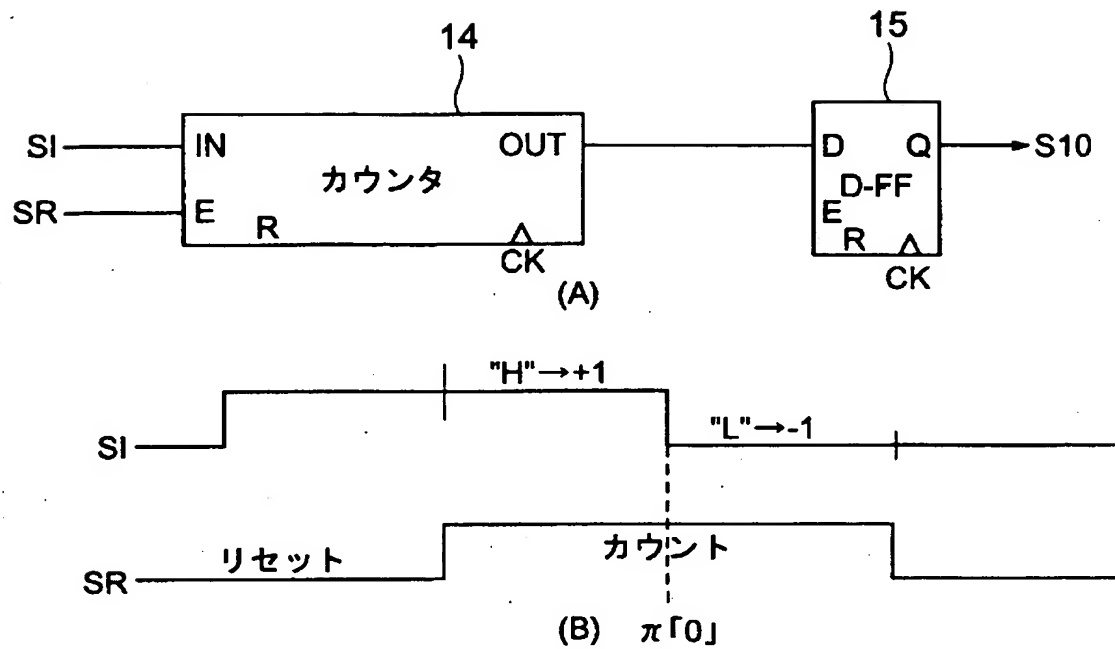
図8の動作波形

【図12】



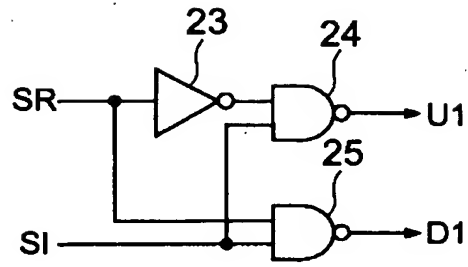
本発明の第3の実施形態のPLL回路

【図 1 3】

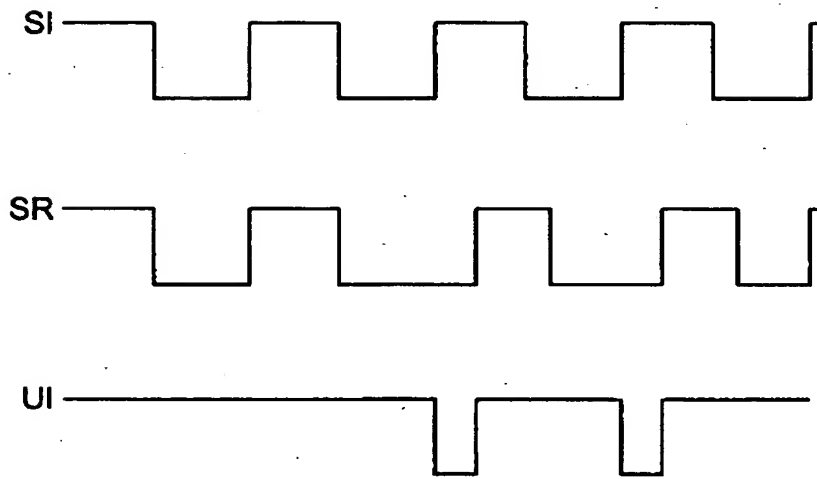


本発明の第4の実施形態の位相比較器

【図 1 4】



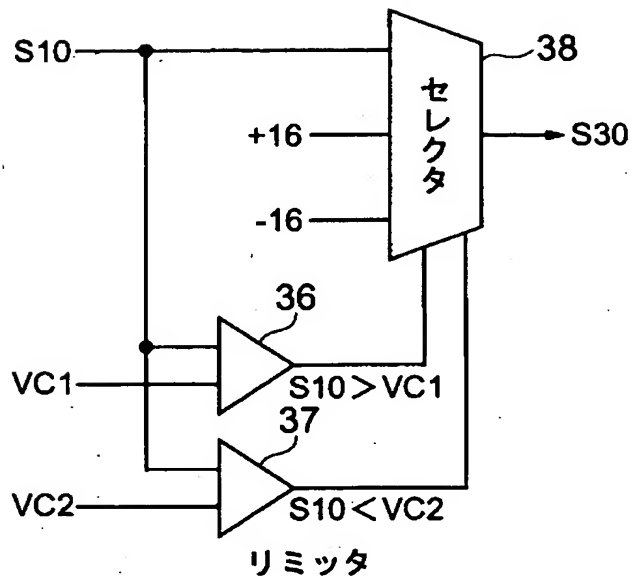
(A)



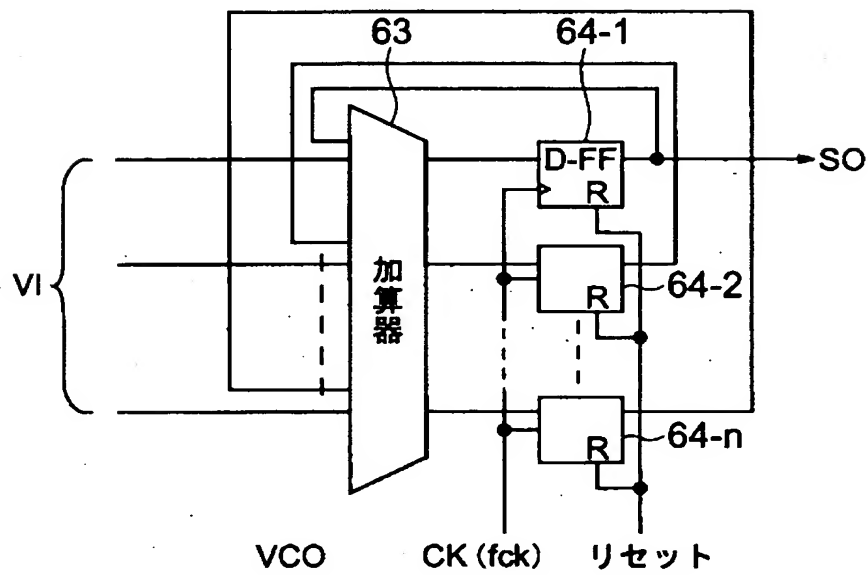
(B)

ロック外れ検出回路

【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 PLL動作開始時の位相引き込み時間を短縮する。

【解決手段】 PLL動作信号ENが入力されてPLL動作がオンすると、スイッチ手段50が固定電圧VA側からループフィルタ40側に切り替わり、ループフィルタ40の出力電圧S40がVC060に入力される。VC060は、出力電圧S40に応じた周波数 f_0 で発振し、このVC060の出力信号S0が、分周器70で分周されて周波数 f_r の参照信号SRが生成される。位相比較器10により、周波数 f_i の基準信号SIと周波数 f_r の参照信号SRとの位相が比較され、その位相差 $\Delta\phi$ に応じた出力電圧S10が出力される。出力電圧S10は、リミッタ40により、入力位相差 $\Delta\phi$ の通過範囲及び電圧レベルが制限され、大きな利得で、ループフィルタ40により平滑された後、VC060へ戻される。これにより、周波数差 $(f_i - f_r)$ が小さくなる方向へVC060の周波数 f_0 が変化する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社